

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-148189

(P2001-148189A)

(43)公開日 平成13年5月29日 (2001.5.29)

(51)Int.Cl.<sup>7</sup>

G 11 C 11/14  
11/15

識別記号

F I

G 11 C 11/14  
11/15

テマコト<sup>®</sup>(参考)

Z

審査請求 未請求 請求項の数5 O.L (全8頁)

(21)出願番号

特願平11-329282

(22)出願日

平成11年11月19日 (1999.11.19)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 池田 良広

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(72)発明者 土屋 修

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(74)代理人 100080001

弁理士 筒井 大和

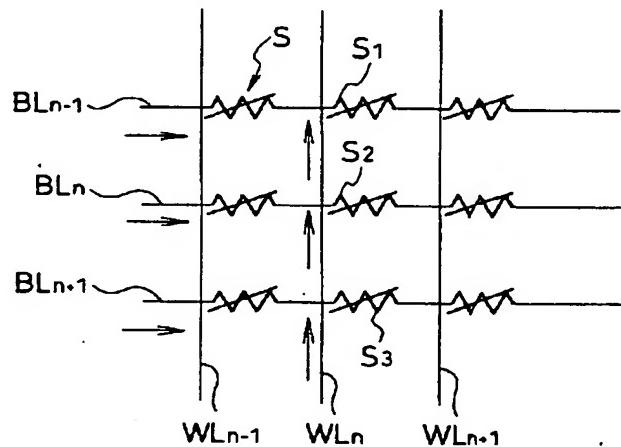
(54)【発明の名称】 データ書き込み方法

(57)【要約】

【課題】 磁気抵抗からなるメモリセルへのデータの書き込み速度を大幅に向上去する。

【解決手段】 同一のワード線WL<sub>n</sub>上のメモリセルS<sub>1</sub>～S<sub>3</sub>に'001'のデータを書き込む場合、ワード線WL<sub>n</sub>、およびビット線BL<sub>n-1</sub>～BL<sub>n+1</sub>の一方から他方にかけて電流を流し、メモリセルS<sub>1</sub>～S<sub>3</sub>に'0'をそれぞれ書き込む。その後、ワード線WL<sub>n</sub>には他方から一方にかけて電流を流し、'1'を書き込みみたいメモリセルS<sub>3</sub>が接続されているビット線BL<sub>n+1</sub>だけに他方から一方にかけて電流を流すことにより、メモリセルS<sub>3</sub>だけに'1'を書き込む。これにより、2度の書き込み動作によってメモリセルに書き込みを行うことができ、メモリの書き込み速度を大幅に向上去ることができる。

図 5



1

## 【特許請求の範囲】

【請求項1】 磁気抵抗素子からなるメモリセルへのデータ書き込み方法であって、同一ワード線上におけるすべての前記メモリセルのうち、第1レベルのデータが書き込まれるメモリセルに一括して前記第1レベルのデータを書き込んだ後、前記すべてのメモリセルのうち、前記第1レベルのデータが書き込まれていないメモリセルに一括して第2レベルのデータを書き込むことを特徴とするデータ書き込み方法。

【請求項2】 磁気抵抗素子からなるメモリセルへのデータ書き込み方法であって、同一ワード線上におけるすべての前記メモリセルに一括して第1レベルのデータを書き込んだ後、前記すべてのメモリセルのうち、第2レベルのデータが書き込まれるメモリセルに一括して第2レベルのデータを書き込むことを特徴とするデータ書き込み方法。

【請求項3】 請求項1または2に記載のデータ書き込み方法において、前記メモリセルのデータ書き込みが、前記同一ワード線上において分割されるブロック単位であることを特徴とするデータ書き込み方法。

【請求項4】 請求項3記載のデータ書き込み方法において、前記分割されるブロック単位の長さを外部コマンドによって決定することを特徴とするデータ書き込み方法。

【請求項5】 請求項1～4のいずれか1項に記載のデータ書き込み方法において、書き込みされるデータが1ビットだけの場合には、前記同一ワード線上におけるデータ書き込みされる1つのメモリセルだけを1ビット単位でデータ書き込みすることを特徴とするデータ書き込み方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、データの書き込み技術に関し、特に、MRAM (Magnetoresistive Random Access Memory) における多ビットの書き込み動作の高速化に適用して有効な技術に関するものである。

## 【0002】

【従来の技術】近年、メモリの1つとして、MRAMが実用化されつつある。本発明者が検討したところによれば、このようなMRAMは、メモリセルとして、たとえば、磁性層／非磁性層／磁性層の3層膜からなる、いわゆるスピンドルグ膜が用いられており、このスピンドルグ膜のスピンドル依存散乱によって生じる磁気抵抗効果の抵抗変化から'0'または'1'のデータを書き込み／読み出している。

【0003】たとえば、'0'を書き込む場合には、ビット線の一方から他方にかけて電流を流しながらワード線の一方から他方にかけて電流を流すことによって任意のメモリセルを磁化させ、該メモリセルの電気抵抗を高

2

く（低く）変化させる。

【0004】同様に、'1'を書き込む場合には、ビット線の他方から一方にかけて電流を流しながらワード線の他方から一方にかけて電流を流すことによって任意のメモリセルを磁化させ、該メモリセルの電気抵抗を低く（高く）変化させる。

【0005】なお、この種の磁気記録方式について詳しく述べてある例としては、1998年6月17日、日経BP社発行、山口 健（編）、「日経エレクトロニクス・ブックス 超高密度外部記憶装置の新展開」P55, P56があり、この文献には、スピンドルグ膜における磁気抵抗素子の構成などが記載されている。

## 【0006】

【発明が解決しようとする課題】ところが、上記のようなMRAMにおけるデータ書き込み技術では、次のような問題点があることが本発明者により見い出された。

【0007】すなわち、書き込まれるデータによってワード線、ならびにビット線に流される電流の向きがそれぞれ異なるので、1ビットずつしかメモリセルに書き込むことができず、書き込み時間が長くなってしまうという問題がある。

【0008】本発明の目的は、磁気抵抗からなるメモリセルへのデータの書き込み速度を大幅に向上することのできるデータ書き込み方法を提供することにある。

【0009】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## 【0010】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0011】すなわち、本発明のデータ書き込み方法は、磁気抵抗素子からなるメモリセルへのデータ書き込みであって、同一ワード線上におけるすべてのメモリセルのうち、第1レベルのデータが書き込まれるメモリセルに一括して該第1レベルのデータを書き込んだ後、すべてのメモリセルのうち、第1レベルのデータが書き込まれていないメモリセルに一括して第2レベルのデータを書き込むものである。

【0012】また、本発明のデータ書き込み方法は、磁気抵抗素子からなるメモリセルへのデータ書き込みであって、同一ワード線上におけるすべてのメモリセルに一括して第1レベルのデータを書き込んだ後、すべてのメモリセルのうち、第2レベルのデータが書き込まれるメモリセルに一括して第2レベルのデータを書き込むものである。

【0013】さらに、本発明のデータ書き込み方法は、前記メモリセルのデータ書き込みが、同一ワード線上において分割されるブロック単位よりなるものである。

【0014】また、前記分割されるブロック単位の長さ

10

20

30

30

40

50

を外部コマンドによって決定するものである。

【0015】さらに、本発明のデータ書き込み方法は、書き込みされるデータが1ビットだけの場合に、同一ワード線上におけるデータ書き込みされる1つのメモリセルだけを1ビット単位でデータ書き込みするものである。

【0016】以上のことにより、2度の書き込み動作だけで同一ワード線上におけるメモリセルへの書き込みを行うことができる、書き込み速度を大幅に向かうことができる。

#### 【0017】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0018】図1は、本発明の一実施の形態によるメモリのブロック図、図2は、本発明の一実施の形態によるメモリに設けられたメモリセルの概略説明図、図3は、本発明の一実施の形態によるメモリセルへのデータ書き込みの説明図、図4(a)～(d)は、本発明の一実施の形態によるメモリセルにおけるデータ書き込む動作の説明図、図5は、本発明の一実施の形態による同一のワード線上のメモリセルへの書き込み動作の一例を示す説明図、図6は、図5に続く同一のワード線上のメモリセルへの書き込み動作の説明図、図7は、本発明の一実施の形態による同一のワード線上のメモリセルへの書き込み動作の他の例を示す説明図、図8は、図7に続く同一のワード線上のメモリセルへの書き込み動作の説明図、図9は、本発明の一実施の形態によるメモリにおける他の例のブロック図、図10は、本発明者が検討したメモリセルへのデータ書き込み動作の説明図である。

【0019】本実施の形態において、MRAMであるメモリ(半導体集積回路装置)1は、図1に示すように、記憶の最小単位であるメモリセルSが規則正しくアレイ状に並べられてメモリアレイ2が設けられている。このメモリアレイ2におけるメモリセルSは、図2に示すように、MR(MagnetoResistive)素子からなり、スピンドル構造の膜などが用いられている。

【0020】メモリセルSは、たとえば、銅(Cu)などの非磁性膜M1を、鉄(Fe)などの磁性膜M2、M3によって挟んだ構成からなっており、非磁性膜M1と磁性膜M2、M3との界面で生じる電子のスピンドル散乱によって膜全体の抵抗を変化させる。

【0021】磁性膜M2、M3の磁化方向が同じ場合には、界面での電子の散乱は小さく膜全体(メモリセルS)の抵抗は低くなり、磁性膜M2、M3の磁化方向がそれぞれ異なる場合には、一方の磁性膜の電子が移動し、他方の磁性膜に進入しようとすると、その界面で散乱を受け、膜全体の抵抗が高くなる。

【0022】また、メモリアレイ2には、図1に示すように、ワードドライバ3が接続されている。このワード

ドライバ3は、メモリアレイ2の内、ロー(行)方向のワード線を選択する。

【0023】メモリアレイ2には、センスアンプならびにカラムデコーダ4が接続されている。カラムデコーダ4には、データラッチ回路5、およびカラムプリデコーダ6が接続されている。

【0024】センスアンプは、カラムデコーダ4のデータの増幅を行い、カラムデコーダ4は、カラムプリデコーダ6から出力されるプリデコード信号に基づいてビット線(Y S線)をデコードする。

【0025】データラッチ回路5は、各々のビット線毎にラッチが設けられており、入力されたデータをラッチし、カラムプリデコーダ6は、カラムアドレスバッファ7から出力されるアドレスのプリデコードを行う。カラムプリデコーダ6には、カラムアドレスバッファ7が接続されている。

【0026】ワードドライバ3には、ロウアドレスバッファ8が接続されている。カラムアドレスバッファ7は、入力されたカラム方向のアドレス信号に基づいて、それぞれの内部アドレス信号を発生させ、カラムプリデコーダに出力する。ロウアドレスバッファ8は、入力されたロー方向のアドレス信号に基づいて、それぞれの内部アドレス信号を発生させ、ワードドライバ3に出力する。

【0027】データラッチ回路5には、データ制御回路9が接続されており、このデータ制御回路9には、入力バッファ10、ならびに出力バッファ11が接続されている。データ制御回路9は、入力バッファ10を介して入力されたデータの制御や、メモリマット2のセル読み出し信号の増幅などを行う。入力バッファ10は、入力データを所定のタイミングによって取り込み、出力バッファ11は、出力データを一時的に保管する。

【0028】メモリアレイ2、ワードドライバ3には、ライトコントローラ12が接続されており、ライトコントローラ12には、モードデコーダ13が接続されている。ライトコントローラ12は、ワードドライバ3の制御や、ビット線に流れる電流方向の制御などの書き込み時における制御を司る。モードデコーダ13は、入力されるバースト長信号(外部コマンド)をデコードし、ライトコントローラ12に出力する。

【0029】次に、本実施の形態におけるメモリ1の書き込み動作について説明する。

【0030】まず、外部からバースト長信号が入力されると、この信号に対応してカラムプリデコーダ6がプリデコード信号AXnを出力し、カラムデコーダ4が同時に複数本のビット線を活性化する。

【0031】活性化して設定されたバースト長に相当するそれぞれのメモリセルSのすべてのビットに'0'データ(ローデータ)を書き込む。このとき、入力バッファ10を介して入力されたデータは、データ制御回路9

によってそれぞれのメモリセルSに対応したデータラッチ回路5のラッチに書き込まれる。

【0032】そして、最後のバーストライトサイクルにおいても、データラッチ回路のラッチに'1'(ハイデータ)が書き込まれているビット線は活性化し続けて'0'から'1'にデータが書き換えられ、データラッチ回路のラッチに'0'が書き込まれているビット線はリセットし、'0'データが保持されることになる。

【0033】また、メモリセルSにおけるデータ書き込み方式について説明する。

【0034】MRAMのメモリセルSにおいては、図3に示すように、ワード線WLに流れる電流の向きによって任意のメモリセルSを磁化させ、該メモリセルSの電気抵抗を変化させる。

【0035】たとえば、任意のメモリセルSに'0'を書き込む場合、図4(a)に示すように、ビット線BLの一方から他方にかけて電流iBLを流しながらワード線WLの一方から他方にかけて電流iWLを流すことによって該メモリセルSを磁化させ、メモリセルSの電気抵抗を高く(低く)変化させる。

【0036】任意のメモリセルSに'1'を書き込む場合には、図4(b)に示すように、ビット線BLnの他方から一方にかけて電流iBLnを流しながらワード線WLnの他方から一方にかけて電流iWLnを流すことによって該メモリセルSを磁化させ、メモリセルSの電気抵抗を低く(高く)変化させる。このビット線、ワード線の電流方向は前述したライトコントローラ12(図1)により制御されている。

【0037】メモリセルSは、ビット線BLn、ワード線WLnにそれぞれ電流を特定の方向に流した際に発生する磁界にだけ磁化されるように膜厚が形成されており、図4(c)、(d)に示すように、ワード線WLnにだけ電流iWL、iWLnを流した場合などでは磁化されず、データの書き込みが行われない。

【0038】ここで、同一のワード線WLn上における書き込み動作について説明する。

【0039】メモリセルS1～S3に'001'のデータを書き込む場合、図5に示すように、ワード線WLnには一方から他方にかけて電流を流し、ビット線BLn-1～BLn+1にも一方から他方にかけて電流を流すことにより、ワード線WLn上のメモリセルS1～S3に'0'をそれぞれ書き込む(ここではこれを消去とする)。

【0040】その後、図6に示すように、ワード線WLnには他方から一方にかけて電流を流し、ビット線BLn-1～BLn+1のうち、'1'を書き込みたいメモリセルS3が接続されているビット線BLn+1だけに他方から一方にかけて電流を流すことにより、メモリセルS3だけに'1'が書き込まれることになる。また、ワード線WLn上であれば、同時に書き込みしたいデー

タビット数は、前述したバースト長によって任意に設定できることになる。

【0041】ただし、書き込みデータが1ビットだけの場合には、ワード線WLnにおけるデータ書き込みされる1つのメモリセルだけを1ビット単位でデータ書き込みする。これによって、1ビットのデータ書き込みの場合には、1度の書き込み動作だけによく、書き込み速度をより高速化できる。

【0042】また、ここではメモリセルS1～S3に'0'を書き込んで消去を行った後に、必要なメモリセルS3に'1'を書き込んだが、図7に示すように、ワード線WLnにおける'0'を書き込むべきメモリセルに'0'を書き込み、その後、図8に示すように、'1'を書き込みたいメモリセルに'1'を書き込むようとしてもよい。

【0043】この場合、メモリ1aは、図9に示すように、メモリアレイ2、ワードドライバ3、カラムデコーダ4、データラッチ回路5、カラムプリデコーダ6、カラムアドレスバッファ7、ロウアドレスバッファ8、データ制御回路9、入力バッファ10、出力バッファ11、ライトコントローラ12、ならびにモードデコーダ13などの本実施の形態におけるメモリ1と同様の回路構成に、データラッチ回路5aが新たに設けられ構成となっている。

【0044】データラッチ回路5aに設けられたラッチは、入力されたデータをそれぞれラッチし、ライトコントローラ12から出力される制御信号に基づいてラッチしたデータの出力をを行う。

【0045】データラッチ回路5aは、外部クロックに同期してデータをカラムアドレスに対応したラッチにそれぞれ取り込む。このとき、データ書き込みフラグもラッチする。

【0046】そして、バースト長信号の最後になるとライトコントローラ12は制御信号を出し、'0'を保持しているラッチのデータを出力させ、'0'を書き込むべきメモリセルに'0'を書き込む。その後、'1'を保持しているラッチのデータを出力させ、'1'を書き込むべきメモリセルに'1'を書き込む。

【0047】次に、本発明者が検討したMRAMにおけるデータ書き込み動作について説明する。

【0048】たとえば、図10に示すように、メモリセルS10～S13に'001'のデータを書き込む場合には、ワード線WLnnには一方から他方にかけて電流を流し、ビット線BLnn-1にも一方から他方にかけて電流を流すことにより、ワード線WLnn上のメモリセルS10に'0'を書き込む。

【0049】その後、同じくワード線WLnnには一方から他方にかけて電流を流し、ビット線BLnnにも一方から他方にかけて電流を流すことにより、ワード線WLnn上のメモリセルS11に'0'を書き込む。

【0050】そして、ワード線WL<sub>n</sub>には他方から一方にかけて電流を流し、ビット線BL<sub>n+1</sub>には一方から他方にかけて電流を流すことにより、ワード線WL<sub>n</sub>上のメモリセルS12に'1'を書き込む。

【0051】このように、メモリセルS10～S12にデータを書き込む場合には、ワード線WL<sub>n</sub>の電流の向きをか得なければならないので、メモリセルS10～S12への同時書き込みが不可能となり、書き込み時間も長くなってしまうことになる。

【0052】それにより、本実施の形態においては、同一のワード線WL<sub>n</sub>上におけるすべてのメモリセルにいったん'0'を書き込ませたあとに必要なメモリセルだけに'1'を書き込ませることにより、2度の書き込み動作によってワード線上のメモリセルに書き込みを行うことができ、メモリ1の書き込み速度を大幅に向上去ることができる。

【0053】また、本実施の形態では、書き込みを行うメモリセルに'0'を書き込ませた後、必要なメモリセルだけに'1'を書き込ませていたが、最初にメモリセルに'1'を書き込ませた後、必要なメモリセルだけに'0'を書き込ませるようにしてもよい。

【0054】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0055】たとえば、前記実施の形態では、同一ワード線上におけるメモリセルへのデータ書き込みについて記載したが、ワード線をビット線に置き換えて同一ビット線上におけるメモリセルへのデータ書き込み動作に用いるようにしてもよい。

#### 【0056】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0057】(1) 本発明によれば、2度の書き込み動作だけで同一ワード線上におけるメモリセルへの書き込みを行うことができるので、書き込み速度を大幅に向上去することができる。

【0058】(2) また、本発明では、上記(1)により、磁気抵抗素子からなるメモリセルが用いられた半導体集積回路装置における動作速度を高速化することができる。

きる。

#### 【図面の簡単な説明】

【図1】本発明の一実施の形態によるメモリのブロック図である。

【図2】本発明の一実施の形態によるメモリに設けられたメモリセルの概略説明図である。

【図3】本発明の一実施の形態によるメモリセルへのデータ書き込みの説明図である。

【図4】(a)～(d)は、本発明の一実施の形態によるメモリセルにおけるデータ書き込む動作の説明図である。

【図5】本発明の一実施の形態による同一のワード線上のメモリセルへの書き込み動作の一例を示す説明図である。

【図6】図5に続く同一のワード線上のメモリセルへの書き込み動作の説明図である。

【図7】本発明の一実施の形態による同一のワード線上のメモリセルへの書き込み動作の他の例を示す説明図である。

【図8】図7に続く同一のワード線上のメモリセルへの書き込み動作の説明図である。

【図9】本発明の一実施の形態によるメモリにおける他の例のブロック図である。

【図10】本発明者が検討したメモリセルへのデータ書き込み動作の説明図である。

#### 【符号の説明】

1, 1a メモリ (半導体集積回路装置)

2 メモリアレイ

3 ワードドライバ

4 カラムデコーダ

5, 5a データラッチ回路

6 カラムプリデコーダ

7 カラムアドレスバッファ

8 ロウアドレスバッファ

9 データ制御回路

10 入力バッファ

11 出力バッファ

12 ライトコントローラ

13 モードデコーダ

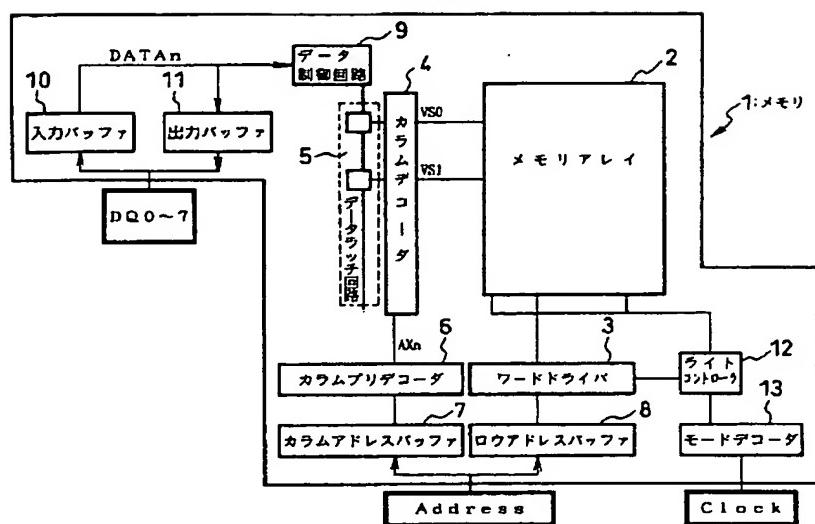
S メモリセル

M1 非磁性膜

M2, M3 磁性膜

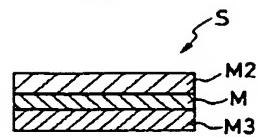
【図1】

図1



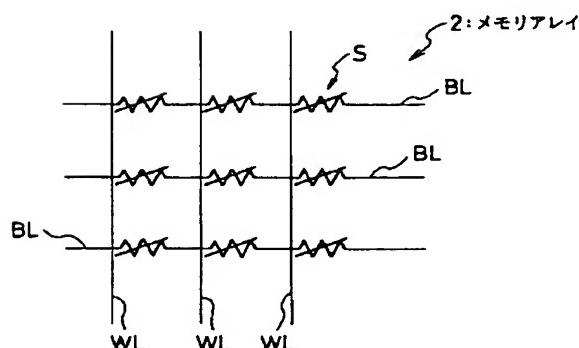
【図2】

図2



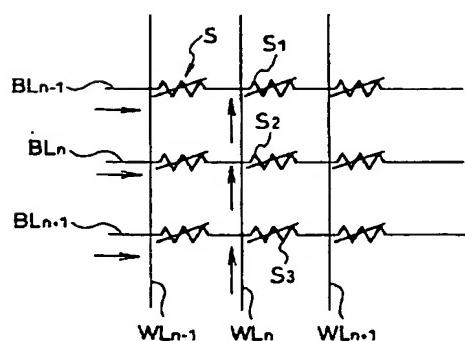
【図3】

図3



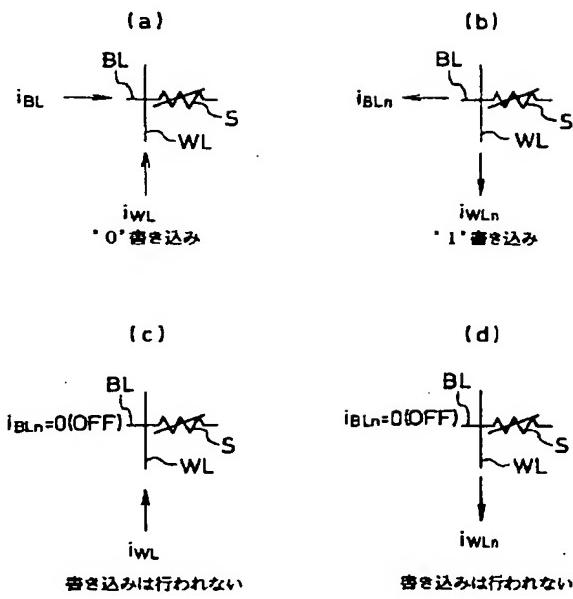
【図5】

図5



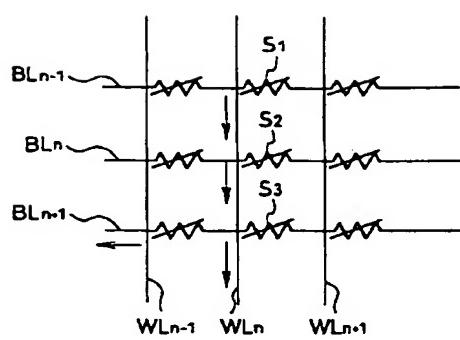
【図4】

図4



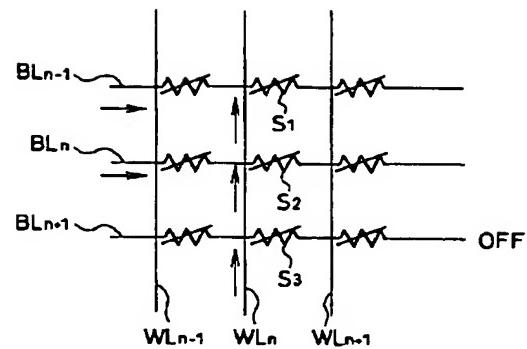
【図6】

図6



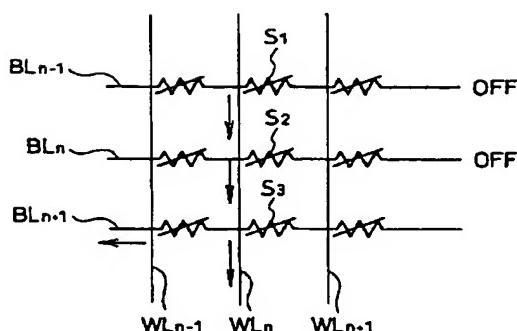
【図7】

図7



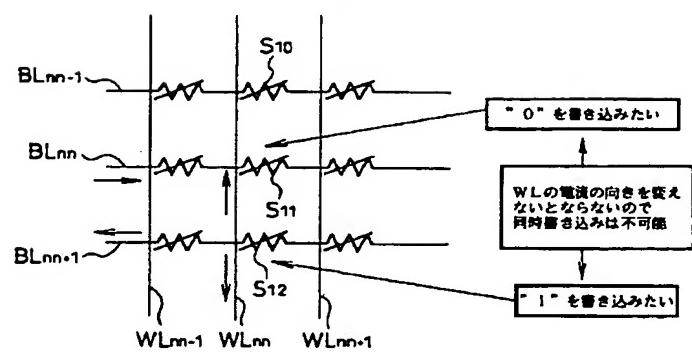
【図8】

図8



【図10】

図10



【図9】

